

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-043793

(43)Date of publication of application : 16.02.1996

(51)Int.Cl.

G02F 1/133

G02F 1/136

G09G 3/36

(21)Application number : 06-178735

(71)Applicant : SHARP CORP

(22)Date of filing : 29.07.1994

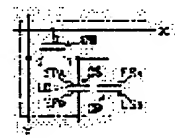
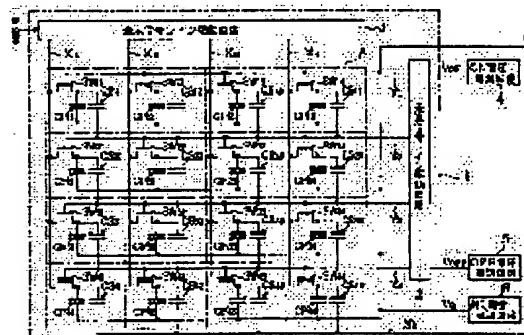
(72)Inventor : INABA ATSUSHI
TAKEDA SHIRO

(54) DISPLAY DEVICE OF ACTIVE MATRIX SYSTEM

(57)Abstract:

PURPOSE: To make it possible to effectively utilize the final row by connecting the second electrodes of respective auxiliary capacitor elements of which the first electrodes are connected to respective picture element electrodes of the row at one end of a matrix form to any of scanning signal lines exclusive of the scanning signal lines corresponding to the row at one end.

CONSTITUTION: The second electrodes ESB of the auxiliary capacitors CS at the respective picture elements of the fourth row of 4 rows \times 4 columns are connected to the scanning signal line Y1 corresponding to the first row via the final row fly-back line YR. This final row fly-back line YR and the scanning signal line Y1 are disposed in the furthest positions at both ends of the matrix form. Then, both may be connected by wirings on the outside of a liquid crystal panel 1. Laying and connecting of fresh conductive films on the picture element electrode substrate of the liquid crystal panel 1 are possible. The high-quality images are obtd. simply by connecting the final row fly-back line YR and the scanning signal line Y1 in such a manner without masking the picture elements of the fourth row and without disposing a power source circuit to be exclusively used for the final row fly-back line YR.



LEGAL STATUS

[Date of request for examination]

10.07.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3129913

[Date of registration]

17.11.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**Japanese Publication for Unexamined Patent Application
No. 43793/1996 (Tokukaihei 8-43793)**

A. Relevance of the Above-identified Document

This document has relevance to Claims 1 and 11 of the present application.

B. Translation of the Relevant Passages of the Document

[0042]

[EMBODIMENT]

Explained below is an embodiment of the present invention.

[0043]

Figures 1 and 2 illustrate the embodiment of the present invention. Figure 1 is a block circuit diagram showing an arrangement of a liquid crystal display apparatus, while Figure 2 is a time chart showing how the liquid crystal display apparatus operates. Note that component elements having the similar functions to those in the conventional examples shown in Figures 3 to 7 are labeled in the same fashion and their explanation is omitted here.

[0044]

Although the present embodiment discusses The liquid display apparatus using liquid crystal, it is

possible to apply the present embodiment to a case where other electric optical materials are used. Note that the liquid crystal display apparatus having the simple 16 picture elements of four (4) rows \times four (4) columns is discussed here again, for the sake of easy explanation.

[0045]

The liquid crystal display apparatus of the present embodiment is, as shown in Figure 1, comprised of a liquid crystal panel 1, an ON voltage power source circuit 4, an OFF voltage power source circuit 5, and an opposite electrode power source circuit 6, which are provided outside of the liquid crystal panel 1. And, the ON voltage power source circuit 4, the OFF voltage power source circuit 5, and the opposite electrode power source circuit 6 have the same arrangements as those used in the liquid crystal display apparatus in the conventional example shown in Figure 3.

[0046]

The liquid crystal panel 1 is formed by positioning a picture element electrode substrate and an opposite electrode substrate so as to face each other and have a gap between them, and by filling liquid crystal between them. Formed on a facing surface of the picture element electrode substrate are a

scanning signal line driving circuit 2, a display signal line driving circuit 3, scanning signal lines Y1 to Y4, and display signal lines X1 to X4, which are arranged similarly to those in the conventional example shown in Figure 3. Moreover, picture elements are also arranged similarly to those in the conventional examples shown in Figures 3 and 4. Formed on a facing surface of the picture element electrode substrate are a thin film transistor SW, a supplemental capacitor CS, and a picture element electrode EPA for a picture element capacitor CP. Moreover, an opposite electrode EPB of the picture capacitor CP is formed on the facing surface of the opposite electrode substrate and is connected to the opposite electrode power source circuit 6.

[0047]

A second electrode ESB of the supplement capacitor of each picture element on the first to third lines is respectively connected to the scanning signal lines Y2 to Y4, which correspond to the second to fourth lines adjacent to those, similarly to the conventional example shown in Figure 3. However, the second electrode ESB of the supplemental capacitor CS of each picture element on the fourth line is connected to the scanning signal line Y1 that corresponds to the first

line via a last-line retrace line YR. The last-line retrace line YR and the scanning signal line Y1 are provided respectively on edges of the matrix so as to have locations that are furthest with respect to each other. Therefore, as illustrated, those may be connected via lines outside of the liquid crystal panel 1. Moreover, those may be connected by providing another conductive film on the picture element electrode substrate of the liquid crystal panel 1. In either cases, only one connection is made for one sheet of the liquid crystal panel 1. Thus, troubles of providing the lines and a space on the substrate occupied by the conductive film are not significant and cause no problem.

[0048]

How the thus arranged liquid crystal display apparatus operated is explained, referring to Figure 2. Here again, the case of VGA standard shown in Figure 5 is explained. For simplicity, it is assumed that only effective screen is a horizontal scanning period TH of 4H among first H to fourth H, and the rest, namely fifth H or later is vertical retrace line period TVR.

[0049]

Scanning signals of the scanning signal lines Y1 to Y4, an opposite electrode voltage VQ supplied by the

opposite electrode power source circuit 6, and a display signal of a display signal line X are identical to those shown in Figure 5. However, because the last-line retrace line YR is, as described above, connected to the scanning signal line Y1, the last-line retrace line YR is at a high voltage of an ON voltage VON, only during a period TON in the first 1H of each vertical scanning period TV, similar to this.

[0050]

Figure 2, again, illustrates a voltage waveform of the picture element electrodes EPA of the picture element capacitor C P21 and the picture electrode C P41, similarly to Figure 5. Here, as to the picture element capacitor C P21, utterly identical to the case in Figure 5, a voltage is pushed up only by $\Delta V D1$ during the third H of each vertical scanning period TV. However, as to the picture element capacitor C P41, a high voltage is applied onto a second electrode ESB of a supplement capacitor C S41 during which the last-line retrace line YR is, together with the scanning signal line Y1, at the ON voltage VON during the first 1H, thus pushing the voltage up only by $\Delta V D1$, similarly to the picture element capacitor C P21. Therefore, as long as a display voltage VS by the display signal is maintained, driving voltages applied on the picture

element capacitor C P21 and the picture element capacitor C P41 have the same effective value, thereby causing no difference between liquid crystal display on the first to third lines, and that on the fourth line.

[0051]

As a result, with the liquid crystal display apparatus of the present invention, it is possible to realize a high-quality image with ease, simply by connecting the last-line retrace line YR and the scanning signal line Y1, with masking the picture electrodes on the fourth line, or providing another power source circuit specially for the last-line retrace line YR. Note that, for obtaining a similar effect, the last-line retrace line YR may be connected to the scanning signal lines Y2 and Y3, but not the scanning signal line Y4.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-43793

(43) 公開日 平成8年(1996)2月16日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F	1/133	5 5 0		
	1/136	5 0 0		
G 0 9 G	3/36			

審査請求 未請求 請求項の数 3 O L (全 11 頁)

(21) 出願番号 特願平6-178735

(22) 出願日 平成6年(1994)7月29日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 稲葉 敦司

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 武田 司郎

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

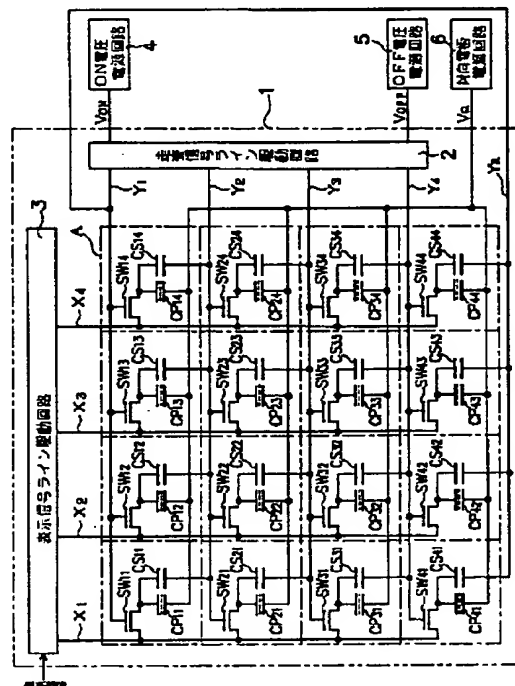
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 アクティブマトリクス方式の表示装置

(57) 【要約】

【構成】 第4行の各絵素における補助容量C Sの第2電極E S Bを最終行帰線ラインY Rを介して走査信号ラインY 1に接続する。

【効果】 絵素容量C Pの駆動電圧の実効値を他の行の絵素容量C Pと同じにできるので、第4行の絵素をマスクしたり、別途最終行帰線ラインY R専用の電源回路を設けることなく、容易に高品質の画像を得ることができるようになる。



【特許請求の範囲】

【請求項1】 絵素電極基板に、マトリクス状に配置された複数の絵素電極と、該マトリクス状の絵素電極の各行に対応して1本ずつ配置された複数の走査信号ラインと、該マトリクス状の絵素電極の各列に対応して1本ずつ配置された複数の表示信号ラインと、該各絵素電極ごとに、当該絵素電極の列に対応する表示信号ラインと当該絵素電極との間に接続され、当該絵素電極の行に対応する走査信号ラインの電圧に応じて当該絵素電極と表示信号ラインとの間の導通又は遮断を制御するスイッチング素子と、該各絵素電極ごとに、第1電極が当該絵素電極に接続され、かつ、当該絵素電極が該マトリクス状の一方の端の行にある場合を除き、該第1電極と対向する第2電極が当該絵素電極の行に対して該マトリクス状の一方側に隣接する行に対応する走査信号ラインに接続された補助容量素子とが設けられると共に、対向電極基板に対向電極が設けられ、該絵素電極基板と該対向電極基板とを電気光学物質を介在させて対向させたアクティブマトリクス方式の表示装置において、マトリクス状の一方の端の行の該各絵素電極に第1電極が接続された該各補助容量素子の第2電極が当該一方の端の行に対応する該走査信号ライン以外のいずれかの走査信号ラインに接続されたアクティブマトリクス方式の表示装置。

【請求項2】 マトリクス状の一方の端の行の前記各絵素電極に第1電極が接続された前記各補助容量素子の第2電極がマトリクス状の他方の端の行に対応する前記走査信号ラインに接続された請求項1記載のアクティブマトリクス方式の表示装置。

【請求項3】 前記電気光学物質が液晶である請求項1又は請求項2に記載のアクティブマトリクス方式の表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、各絵素に絵素容量を補助する補助容量素子が設けられた液晶などによるアクティブマトリクス方式の表示装置に関する。

【0002】

【従来の技術】従来、単純マトリクス方式の液晶表示装置は、一方の基板に多数の走査信号電極を形成すると共に、他方の基板にこの走査信号電極に直交する方向に多数の表示信号電極を形成し、これらの基板を液晶層を介して対向させたものである。そして、このような単純マトリクス方式は、構造が簡単であり大型化が容易であることから種々のマトリクス方式の液晶表示装置として広く用いられている。

【0003】しかしながら、液晶は、電圧変化に対する光学特性の変化が比較的緩やかなため、応答性が必ずしもよくない。しかも、上記単純マトリクス方式は、走査

信号電極の本数が多くなるほど各絵素に表示信号の電圧を印加する期間が短くなる。従って、高解像度が要求されると共にマウスなどでカーソルを高速移動させる最近のパーソナルコンピュータやマルチメディア機器などのディスプレイにこの単純マトリクス方式の液晶表示装置を用いたのでは十分な表示コントラストが得られなくなる。また、この単純マトリクス方式は、クロストークによる線状の模様が発生し易いため画質が損われるという欠点もある。そこで、従来から高解像度と高速な表示を要求される液晶表示装置には、アクティブマトリクス方式が用いられていた。

【0004】上記アクティブマトリクス方式の液晶表示装置の構成を図3および図4に基づいて説明する。なお、ここでは、説明を簡単にするために単純な4行×4列による16絵素の液晶表示装置について示す。

【0005】図3に示すように、液晶パネル1には、1点鎖線Aで囲んだマトリクス状の4行×4列からなる16の領域がそれぞれ絵素として配置されている。そして、これらの絵素の各行に沿ってそれぞれ1本ずつ合計4本の走査信号ラインY1～Y4が敷設されると共に、各列に沿ってそれぞれ1本ずつ合計4本の表示信号ラインX1～X4が敷設されている。なお、これら走査信号ラインYと表示信号ラインXの符号に添えた数字は、それぞれ対応する行番号と列番号を示すものである。

【0006】また、液晶パネル1には、走査信号ライン駆動回路2と表示信号ライン駆動回路3が設けられ、上記走査信号ラインY1～Y4はそれぞれこの走査信号ライン駆動回路2に接続されると共に、上記表示信号ラインX1～X4はそれぞれこの表示信号ライン駆動回路3に接続されている。走査信号ライン駆動回路2には、液晶パネル1の外部のON電圧電源回路4とOFF電圧電源回路5から電源が供給されるようになっている。ON電圧電源回路4は、高電圧レベルのON電圧VONを供給する電源回路であり、OFF電圧電源回路5は、ON電圧VONよりも十分に低電圧であるが、1水平走査期間ごとに比較的高電圧と比較的低電圧のレベルが切り替わるOFF電圧VOFFを供給する電源回路である。そして、走査信号ライン駆動回路2は、パルスを1水平走査期間ごとに順次シフトレジスタ内でシフトさせると共に、このパルスに従ってレベルシフトでON電圧VONとOFF電圧VOFFを切り替えることにより、常時は全ての走査信号ラインY1～Y4をOFF電圧VOFFとするが、垂直走査期間ごとに各走査信号ラインY1～Y4を順にほぼ1水平走査期間だけON電圧VONとして走査信号を出力するようになっている。表示信号ライン駆動回路3は、液晶パネル1の外部から順次供給される表示信号をシリアルパラレル変換によって各表示信号ラインX1～X4に出力するようになっている。また、この際、表示信号ライン駆動回路3は、表示信号を水平走査期間ごとに電圧レベルが切り替わる振動電圧として出力する。

3

【0007】上記各絵素には、絵素容量C Pと補助容量C Sと薄膜トランジスタS Wが設けられている。図4に示すように、絵素容量C Pは、向かい合って配置された絵素電極E P Aと対向電極E P Bによって構成される容量であり、補助容量C Sは、第1電極E S Aと第2電極E S Bからなる容量素子である。なお、図3では、例えば第2行第4列の絵素の場合には、絵素容量C P 24、補助容量C S 24および薄膜トランジスタS W 24というように、この絵素の配置を示す行番号と列番号の数字を符号に添えている。各絵素の薄膜トランジスタS Wは、ソースが当該絵素の列に対応する表示信号ラインXに接続されると共に、ドレインが当該絵素における絵素容量C Pの絵素電極E P Aと補助容量C Sの第1電極E S Aとに接続されている。また、薄膜トランジスタS Wのゲートは、当該絵素の行に対応する走査信号ラインYに接続され、この走査信号ラインYが高電圧レベルのON電圧V ONになると表示信号ラインXと絵素電極E P Aとの間を導通させると共に、OFF電圧V OFFになると、このOFF電圧V OFFのレベルの切り替えにかかわらずこれらの間を遮断するようになっている。

【0008】各絵素における絵素容量C Pの対向電極E P Bは、液晶パネル1の外部の対向電極電源回路6に共通に接続されている。対向電極電源回路6は、上記OFF電圧電源回路5と同期して、1水平走査期間ごとに比較的高電圧と比較的低電圧のレベルが切り替わる対向電極電圧V Qを供給する電源回路である。第1行～第3行の各絵素における補助容量C Sの第2電極E S Bは、これらが隣接する第2行～第4行に対応するそれぞれの走査信号ラインY 2～Y 4に接続されている。また、第4行の各絵素における補助容量C Sの第2電極E S Bは、最終行帰線ラインY Rを介して絵素容量C Pの対向電極と同じ対向電極電源回路6に接続されている。このように第1行～第3行の絵素の第2電極E S Bを最寄り隣接する走査信号ラインY 2～Y 4に接続すると、全ての第2電極E S BをOFF電圧電源回路5や対向電極電源回路6などにそれぞれ接続する場合に比べ、基板上の配線量を大幅に減少させることができる。

【0009】上記液晶パネル1は、実際には、絵素電極基板と対向電極基板とを隙間を開けて向かい合わせに配置し、これらの間に液晶を充填したものである。そして、上記走査信号ライン駆動回路2および表示信号ライン駆動回路3並びに走査信号ラインY 1～Y 4、最終行帰線ラインY Rおよび表示信号ラインX 1～X 4は、全て絵素電極基板の対向面上に形成されている。また、各絵素の薄膜トランジスタS Wと補助容量C Sも絵素電極基板の対向面上に形成されている。薄膜トランジスタS Wは、絵素電極基板の対向面上における走査信号ラインYと表示信号ラインXとの交差部にアモルファスS iなどの薄膜によって形成されたT F T [Thin Film Transistor]である。補助容量C Sは、絵素電極基板の対向面上に

4

第1電極E S Aと第2電極E S Bを強誘電体を介して形成した容量素子であり、絵素容量C Pの静電容量が製造工程でバラツキを生じるのを緩和すると共に、絵素の静電容量を増加させて電圧降下を減少させるために形成されている。絵素容量C Pは、絵素電極E P Aのみが絵素電極基板の対向面上に形成され、対向電極E P Bは対向電極基板の対向面上に形成されている。即ち、絵素電極E P Aは、絵素電極基板の対向面上において各絵素ごとに絵素領域内の中央部全域を覆うように形成された透明な導電膜によって構成されている。また、対向電極E P Bは、全ての絵素について共通に対向電極基板の対向面のほぼ全面を覆うように形成された透明な導電膜によって構成されている。従って、これらの絵素電極E P Aと対向電極E P Bとの間には、図4に示すように、液晶層L Cが介在することになり、この液晶層L Cの光透過率を絵素ごとに制御することによりマトリクス表示が行われる。なお、絵素容量C Pは、対向電極E P Aが上記のように対向電極基板の対向面のほぼ全面を覆う導電膜によって構成されているが、ここでは各絵素ごとの等価的な容量素子として図示している。

【0010】上記構成の液晶表示装置の動作を図5に基づいて説明する。ここでは、パーソナルコンピュータのディスプレイ規格の1つであるV G A [Video Graphics Array]規格の場合について示す。このV G A規格では、1フィールドの画面を構成する1 Vの垂直走査期間T V (60分の1秒)は525 Hの水平走査期間T H (31.8 μ 秒)からなる。そして、実際には、第1 H～第480 Hまでが有効画面となり第481 H以降が垂直帰線期間T V Rとなるが、この説明では簡単のため4行 \times 4列の表示装置を示しているので、第1 H～第4 Hまでの4 Hの水平走査期間T Hのみを有効画面とし、残りの第5 H以降を垂直帰線期間T V Rとしている。

【0011】走査信号ラインY 1～Y 4の走査信号は、常時はOFF電圧V OFFとなるため、水平走査期間T Hの最後期に割り当てられた水平帰線期間T H Rのたびに薄膜トランジスタS WがONとならない程度の高電圧と低電圧のレベルに交互に切り替わる。また、走査信号ラインY 1の走査信号は、垂直走査期間T Vにおける最初の第1 Hにおいて、OFF電圧V OFFよりも十分に高電圧のON電圧V ONとなり、残りの走査信号ラインY 2～Y 4も、第2 H～第4 Hにそれぞれ順にON電圧V ONとなる。従って、各垂直走査期間T Vの第1 H～第4 Hには、各絵素の薄膜トランジスタS W 11～S W 44が第1行～第4行の各行ごとに順に導通することになる。ただし、例えば走査信号ラインY 1が実際にON電圧V ONとなる期間T ONは、第1 Hの開始時である時刻t 1から、この第1 Hの最後の水平帰線期間T H Rが始まる時刻t 2までであり、第1 H全体の水平走査期間T Hよりもわずかに短い期間となる。そして、時刻t 2以降は再びOFF電圧V OFFに戻って第1 Hが終了する時刻t 3までに電圧レベルが小

さく切り替わる。

【0012】対向電極電源回路6が供給する対向電極電圧VQは、上記走査信号ラインY1～Y4の常時の走査信号となるOFF電圧VOFFと同じ振動電圧であり、各水平走査期間THごとに比較的高電圧と比較的低電圧のレベルに交互に切り替わる振動電圧である。この対向電極電圧VQは、OFF電圧VOFFと同様に、図示する垂直走査期間TVの第1Hでは高電圧レベルとなるが、次の垂直走査期間TVの第1Hでは低電圧レベルとなり、垂直走査期間TVごとでも高電圧と低電圧のレベルが入れ替わる。また、最終行帰線ラインYRは、この対向電極電源回路6に接続され同じ対向電極電圧VQの供給を受けるので、同じ信号波形となる。

【0013】表示信号ラインXの表示信号も、各水平走査期間THごとに高電圧と低電圧のレベルに交互に切り替わる振動電圧である。ただし、OFF電圧VOFFや対向電極電圧VQとは高電圧と低電圧の切り替えの位相が反転している。また、この表示信号は、振動電圧の振幅が表示しようとする画像に応じて変化する。従って、図示する垂直走査期間TVの第1Hにおいて走査信号ラインY1に接続された第1行の薄膜トランジスタSW11～SW14が導通すると、絵素容量CP11～CP14が各表示信号ラインX1～X4の低電圧レベルの表示信号と高電圧レベルの対向電極電圧VQとの電位差-VSによって放電され、第2Hにおいて走査信号ラインY2に接続された第2行の薄膜トランジスタSW21～SW24が導通すると、絵素容量CP21～CP24が各表示信号ラインX1～X4の高電圧レベルの表示信号と高電圧レベルの対向電極電圧VQとの電位差+VSによって充電される。そして、次の垂直走査期間TVまでは、これらの絵素容量CPに表示電圧±VSが保存されるので、これによって各絵素の液晶層の光透過率を制御し表示信号に応じた表示を行うことができる。また、次の垂直走査期間TVの第1Hと第2Hには、これらの絵素容量CPに極性が反転された表示電圧±VSが印加される。このように、絵素容量CPに表示信号の極性を順次反転させて供給する交流反転駆動を行うのは、液晶が分極化により劣化するのを防止するためと、表示の際にフリッカが発生するのを抑制するためである。

【0014】図6に示す液晶表示装置は、図3に示した液晶表示装置における最終行帰線ラインYRを対向電極電源回路6ではなくOFF電圧電源回路5に接続した従来例を示す。この液晶表示装置も、OFF電圧電源回路5が供給するOFF電圧VOFFと対向電極電源回路6が供給する対向電極電圧VQとが上記のように同一の信号であるため全く同じ動作をするものであり、液晶パネル1のレイアウトに応じていずれか都合のよい方を選択することになる。

【0015】

【発明が解決しようとする課題】上記図5では、絵素容

量CP21と絵素容量CP41における絵素電極EPAの電圧波形を例示している。絵素容量CP21の電圧は、各垂直走査期間TVにおける第2Hに走査信号ラインY2がON電圧VONとなるので、このたびに電圧レベルが大きく変化すると共に、これらの間は水平走査期間THごとに対向電極電圧VQに応じて電圧レベルが小さく変化する。また、絵素容量CP41では、各垂直走査期間TVにおける第4Hに走査信号ラインY4がON電圧VONとなるので、このたびに電圧レベルが大きく変化すると共に、これらの間は水平走査期間THごとに対向電極電圧VQに応じて電圧レベルが小さく変化する。

【0016】ところが、絵素容量CP21の場合、補助容量CS21の第2電極ESBが隣接する走査信号ラインY3に接続されているので、第3Hにはこの第2電極ESBがON電圧VONまで上昇し、絵素容量CP21の絵素電極EPAの電圧もΔVD1だけ押し上げられる。即ち、絵素容量CP21と補助容量CS21は、図7に示すように、ON電圧VONとOFF電圧VOFFなどに対しては直列接続されていると考えられるので、第2電極ESBがOFF電圧VOFFとなっている場合には、対向電極EPBもこのOFF電圧VOFFと同じ対向電極電圧VQであるため、これら絵素容量CP21と補助容量CS21には絶対値が同となる表示電圧±VSがそれぞれ印加される。しかし、補助容量CS21の第2電極ESBがON電圧VONになった場合には、このON電圧VONと対向電極電圧VQ(OFF電圧VOFF)との差の電圧VON-VOFFが絵素容量CP21と補助容量CS21の直列回路に印加されるので、絵素容量CP21には表示電圧±VSに加えて、数1で示すように、絵素容量CPと補助容量CSとの容量比に逆比例して分圧された電圧ΔVD1が加重され、これによって絵素電極EPAの電圧が押し上げられる。

【0017】

【数1】

$$\Delta V_{D1} = \frac{C_S}{C_S + C_P} (V_{ON} - V_{OFF})$$

【0018】なお、各絵素には、薄膜トランジスタSWのゲート・ドレイン間に浮遊容量が存在するが、絵素容量CPや補助容量CSに比べれば比較的小さいので、ここでは無視している。また、OFF電圧VOFFが高電圧の場合と低電圧の場合とでは数1で示す電圧ΔVD1の値が相違するが、この差はわずかであるため、以降はいずれの場合も同じ電圧ΔVD1であるとして説明する。

【0019】ここで、絵素容量CP41に印加される駆動電圧の実効値VD1rmsを考える。絵素電極EPAの電圧は、図5に示したように、OFF電圧VOFFや対向電極電圧VQの振動電圧に応じて水平走査期間THごとに小さく変化するが、絵素容量CP41の電極間の液晶に印加される駆動電圧は、この振動電圧の影響を受けることなく、垂直走査期間TVごとに表示電圧+VSと-VSとが

7

交互に切り替わる波形となる。従って、実効電圧 V_{D1rms} は、数 2 に示すように、交流反転駆動の 1 周期である 2 垂直走査期間 T_V にわたる表示電圧 $\pm V_S$ の 2 乗平均により、 V_S として求められる。

【0020】

【数 2】

$$V_{D1rms} = \sqrt{\frac{T_V \cdot V_S^2 + T_V \cdot (-V_S)^2}{2T_V}} = V_S$$

【0021】これに対して、絵素容量 C_{P21} に印加される駆動電圧は、各垂直走査期間 T_V における走査信号ライン Y_2 が ON 電圧 V_{ON} となる期間 T_{ON} を除いた期間については表示電圧 $\pm V_S$ となるが、期間 T_{ON} については、表示電圧 $\pm V_S$ に上記電圧 ΔV_{D1} を加えた値となる。従って、実効電圧 V_{D2rms} は、数 3 に示すように、*

$$V_{D2rms} = \sqrt{\frac{(T_V - T_{ON}) V_S^2 + T_{ON} (\Delta V_{D1} + V_S)^2 + (T_V - T_{ON}) (-V_S)^2 + T_{ON} (\Delta V_{D1} - V_S)^2}{2T_V}} \\ = \sqrt{V_S^2 + \frac{T_{ON} \cdot \Delta V_{D1}^2}{T_V}}$$

【0023】このため、補助容量 C_S の第 2 電極 E_{SB} を隣接する走査信号ライン Y に接続する従来のアクティブマトリクス方式の液晶表示装置では、最終行の絵素容量 C_P に印加される実効電圧だけが他より数 mV だけ低くなり、これによって液晶の光透過率に相違を生じ、階調ムラなどによる表示品質の低下を生じるという問題が発生していた。なお、この問題は液晶表示装置に限らず、絵素容量に印加される駆動電圧により表示を行う他の表示装置にも共通するものである。

【0024】なお、従来は、上記問題を回避するために、最終行の絵素をマスクして表示行を 1 行少なくする場合があった。しかしながら、この方法では、例えば V_{GA} 規格で有効画面が 480 行となる場合に表示行数が 479 行に減少し、全画面を完全に表示することができなくなるという新たな問題を生じる。

【0025】また、図 8～図 10 に示すような回路を設けて、最終行帰線ライン Y_R に供給する信号を別途に供給する発明（特願平 5-275776）も従来からなされていた。

【0026】図 8 は、走査信号ライン Y_4 の走査信号をタイミング回路 11 によって例えば 1 水平走査期間 T_H だけ遅延させた信号により切替回路 12 を制御し、この切替回路 12 によって最終行帰線ライン Y_R に常時は OFF 電圧 V_{OFF} を出力すると共に、最終行の走査後の垂直帰線期間 T_{VR} 内の 1 水平走査期間 T_H にのみ ON 電圧 V_{ON} を出力するようにしたものである。また、図 9 は、走査信号ライン駆動回路 2 が走査する行数を 1 行分増加

8

* 2 垂直走査期間 T_V にわたる表示電圧 $\pm V_S$ とこれに電圧 ΔV_{D1} を加えた駆動電圧の 2 乗平均により求められ、絵素容量 C_{P41} の実効電圧 V_{D1rms} である V_S よりも数 mV だけ高い電圧値となる。絵素容量 C_{P21} と絵素容量 C_{P41} に印加される駆動電圧の絶対値を 2 垂直走査期間 T_V にわたって積分した結果は同じ値となる。しかし、実効電圧は、絶対値の積分結果が同じでも、電圧の変化状態が異なれば相違するものであり、実効電圧にこのような差がある場合には、実際に絵素容量 C_{P21} と絵素容量 C_{P41} に供給される電力にも同様の差が生じる。なお、このような事情は、第 2 行の他の絵素容量 C_P や第 1 行および第 3 行の絵素容量 C_P にも共通している。

【0022】

【数 3】

させ、この増加した走査信号を最終行帰線ライン Y_R に出力するようにしたものである。これらはいずれも上記例における垂直帰線期間 T_{VR} 内の第 5 H に走査を行う仮想の走査信号を生成し、これを最終行帰線ライン Y_R に供給することによって絵素容量 $C_{P41} \sim C_{P44}$ の駆動電圧の実効値を数 3 で示した他の行と同じ値にするものである。

【0027】図 10 は、対向電極電圧 V_0 よりも少し振幅の大きい振動電圧を生成して、これを最終行帰線ライン Y_R に供給するようにしたものである。即ち、対向電極電圧 V_0 の振幅が 1 水平走査期間 T_H おきに電圧 ΔV_B だけ広がる振動電圧を生成して最終行帰線ライン Y_R に供給したとすると、補助容量 C_S を介して絵素容量 C_P には、数 4 に示す分圧電圧 ΔV_{D2} が加重される。

【0028】

【数 4】

$$\Delta V_{D2} = \frac{C_S}{C_S + C_P} \Delta V_B$$

【0029】すると、この場合の最終行の絵素容量 C_P の駆動電圧は、1 垂直走査期間 T_V の半分の期間については表示電圧 $\pm V_S$ となり、残りの半分の期間については、この表示電圧 $\pm V_S$ に電圧 $\pm \Delta V_{D2}$ を加えたものとなるので、実効電圧 V_{D3rms} は数 5 に示す値となり、元の実効電圧 V_{D1rms} の電圧 V_S よりも高い電圧となる。

【0030】

【数 5】

$$V_{D3rms} = \sqrt{\frac{\frac{1}{2}T_V \cdot V_S^2 + \frac{1}{2}T_V (\Delta V_{D2} + V_S)^2 + \frac{1}{2}T_V (-V_S)^2 + \frac{1}{2}T_V (-\Delta V_{D2} - V_S)^2}{2T_V}}$$

$$= \sqrt{V_S^2 + \frac{(2V_S + \Delta V_{D2})\Delta V_{D2}}{2}}$$

【0031】そこで、この実効電圧 V_{D3rms} が数2に示した実効電圧 V_{D1rms} に一致するように電圧 ΔV_B を定めれば最終行のみの絵素容量 C_P の実効電圧が相違するという問題を解消することができる。

【0032】対向電極電圧 V_Q のような振動電圧は、図10に示したように、タイミング回路13によって発生させた水平走査期間 TH を周期とするパルス信号をバッファ回路14を介してオペアンプ（演算増幅器）の負帰還回路で構成される第1増幅回路15によって増幅することにより生成することができる。そして、最終行帰線ライン YR に供給する振動電圧も、同様にオペアンプの負帰還回路で構成される第2増幅回路16によって増幅することにより生成することができる。この際、例えば第1増幅回路15における帰還抵抗 $R1$ を調整して増幅率を変化させると共に、第1増幅回路15および第2増幅回路16の分圧抵抗 $R2$ 、 $R3$ を調整して基準電圧を変化させることにより、上記のように対向電極電圧 V_Q の高電圧レベルが電圧 ΔV_B だけ高くなる振動電圧を生成することができる。

【0033】しかしながら、上記図8～図10の発明では、最終行帰線ライン YR 専用の駆動信号を生成する新たな回路を設ける必要があり、最終行1行だけのために回路構成に無駄が多くなるという問題が生じる。

【0034】本発明は、上記従来の問題を解決するもので、最終行帰線ラインを最終行以外の走査信号ラインに接続することにより、最終行を有効に利用することができるアクティブマトリクス方式の表示装置を提供することを目的とする。

【0035】

【課題を解決するための手段】本発明のアクティブマトリクス方式の表示装置は、絵素電極基板に、マトリクス状に配置された複数の絵素電極と、該マトリクス状の絵素電極の各行に対応して1本ずつ配置された複数の走査信号ラインと、該マトリクス状の絵素電極の各列に対応して1本ずつ配置された複数の表示信号ラインと、該各絵素電極ごとに、当該絵素電極の列に対応する表示信号ラインと当該絵素電極との間に接続され、当該絵素電極の行に対応する走査信号ラインの電圧に応じて当該絵素電極と表示信号ラインとの間の導通又は遮断を制御するスイッチング素子と、該各絵素電極ごとに、第1電極が当該絵素電極に接続され、かつ、当該絵素電極が該マトリクス状の一方の端の行にある場合を除き、該第1電極と対向する第2電極が当該絵素電極の行に対して該マトリクス状の一方側に隣接する行に対応する走査信号

ラインに接続された補助容量素子とが設けられると共に、対向電極基板に対向電極が設けられ、該絵素電極基板と該対向電極基板とを電気光学物質を介在させて対向させたアクティブマトリクス方式の表示装置において、マトリクス状の一方の端の行の該各絵素電極に第1電極が接続された該各補助容量素子の第2電極が当該一方の端の行に対応する該走査信号ライン以外のいずれかの走査信号ラインに接続されたものであり、そのことにより上記目的が達成される。

【0036】また、好ましくは、本発明のアクティブマトリクス方式の表示装置において、マトリクス状の一方の端の行の各絵素電極に第1電極が接続された各補助容量素子の第2電極がマトリクス状の他方の端の行に対応する走査信号ラインに接続される。また、好ましくは、本発明のアクティブマトリクス方式の表示装置における電気光学物質が液晶である。

【0037】

【作用】本発明においては、マトリクス状の他方側から各行の絵素における補助容量素子の第2電極をマトリクス状の一方側に隣接する行に対応する走査信号ラインに順次接続していくと、一方の端の行の場合には、さらに一方側に隣接する行がないため、第2電極を走査信号ラインに接続することができない。そこで、本発明は、マトリクス状の一方の端の行の各絵素における補助容量素子の第2電極をこの一方の端の行に対応する走査信号ライン以外のいずれかの走査信号ラインに接続している。すると、この一方の端の行の各絵素電極には、1垂直走査期間ごとに1回だけ、自身の行が走査される期間を除くいずれかの水平走査期間に、スイッチング素子を導通させるための電圧が補助容量素子を介して印加される。

【0038】したがって、本発明のアクティブマトリクス方式の表示装置によれば、一方側に隣接する行のない一方の端の行についても、補助容量素子の第2電極に走査信号を印加することができるので、絵素電極の駆動電圧の実効値を他の行の絵素容量と同じにすることができる。

【0039】なお、表示装置が線順次走査を行う場合、マトリクス状の一方の端の行は、最後に走査される行又は最初に走査される行となる。

【0040】請求項2の発明は、マトリクス状の一方の端の行の各絵素における補助容量素子の第2電極がマトリクス状の他方の端の行に対応する走査信号ラインに接続されている場合を示す。この場合、線順次走査が行われるならば、各行の走査時の直後又は直前に、全ての行の

絵素容量がスイッチング素子を導通させるための電圧を印加されるようになる。

【0041】請求項3の発明は、アクティブマトリクス方式の表示装置として現在最もよく利用され、交流反転駆動を行う必要のある液晶を電気光学物質として用いる場合を示している。

【0042】

【実施例】以下、本発明の実施例について説明する。

【0043】図1および図2は本発明の実施例を示すものであって、図1は液晶表示装置の構成を示すブロック回路図、図2は液晶表示装置の動作を示すタイムチャートである。なお、図3～図7に示した従来例と同様の機能を有する構成部材には同じ番号を付してその説明を省略する。

【0044】本実施例は、液晶を用いた液晶表示装置について説明するが、他の電気光学物質を用いる場合にも同様に実施可能である。なお、ここでも、説明を簡単にするために単純な4行×4列による16絵素の液晶表示装置について示す。

【0045】本実施例の液晶表示装置は、図1に示すように、液晶パネル1と、この液晶パネル1の外部に設けられたON電圧電源回路4、OFF電圧電源回路5および対向電極電源回路6によって構成されている。そして、ON電圧電源回路4、OFF電圧電源回路5および対向電極電源回路6は、図3に示した従来例の液晶表示装置に用いられたものと同じ構成である。

【0046】液晶パネル1は、絵素電極基板と対向電極基板とを隙間を開けて向かい合わせに配置し、これらの間に液晶を充填したものである。絵素電極基板の対向面上には、図3に示した従来例と同様の構成の走査信号ライン駆動回路2および表示信号ライン駆動回路3並びに走査信号ラインY1～Y4および表示信号ラインX1～X4が形成されている。また、絵素の構成も図3および図4に示した従来例と同様であり、絵素電極基板の対向面上には、薄膜トランジスタSWと補助容量CSと絵素容量CPにおける絵素電極EPAが形成されている。そして、この絵素容量CPの対向電極EPBは対向電極基板の対向面上に形成されて対向電極電源回路6に接続されている。

【0047】上記第1行～第3行の各絵素における補助容量CSの第2電極ESBは、これらが隣接する第2行～第4行に対応するそれぞれの走査信号ラインY2～Y4に接続されている点も図3に示した従来例と同じである。しかし、第4行の各絵素における補助容量CSの第2電極ESBは、最終行掃線ラインYRを介して第1行に対応する走査信号ラインY1に接続されている。この最終行掃線ラインYRと走査信号ラインY1は、マトリクス状の両方の端の最も離れた位置に設けられている。したがって、図示のようにこれらを液晶パネル1の外部の配線によって接続してもよい。また、液晶パネル1の絵素

電極基板上に新たな導電膜を敷設して接続することもできる。いずれにしても、1枚の液晶パネル1に対して1本の結線を行うだけなので、配線の手間や導電膜の敷設によって基板面が占有される面積は微々たるもので問題とならない。

【0048】上記構成の液晶表示装置の動作を図2に基づいて説明する。ここでも図5に示したVGA規格の場合について示すと共に、簡単のため、第1H～第4Hまでの4Hの水平走査期間THのみを有効画面とし、残りの第5H以降を垂直掃線期間TVRとしている。

【0049】走査信号ラインY1～Y4の走査信号、対向電極電源回路6が供給する対向電極電圧V0および表示信号ラインXの表示信号は、図5に示したものと同じである。しかし、最終行掃線ラインYRは、上記のように走査信号ラインY1に接続されているので、これと同様に各垂直走査期間TVの第1Hに期間TONの間だけON電圧VONの高電圧になる。

【0050】図2においても図5と同様に絵素容量CP21と絵素容量CP41の絵素電極EPAの電圧波形を例示している。ここで、絵素容量CP21については、図5の場合と全く同じで、各垂直走査期間TVにおける第3Hに電圧が $\Delta V D1$ だけ押し上げられる。しかし、絵素容量CP41は、最終行掃線ラインYRが走査信号ラインY1と共に各垂直走査期間TVの第1HでON電圧VONとなるので、この際に補助容量CS41の第2電極ESBに高電圧が印加され、絵素容量CP21と同じく電圧が電圧 $\Delta V D1$ だけ上し上げられる。したがって、表示信号による表示電圧VSが同じである限り、絵素容量CP21と絵素容量CP41に印加される駆動電圧の実効値が同じ値となり、第1行～第3行と第4行の液晶表示に差が生じるようなことがなくなる。

【0051】この結果、本実施例の液晶表示装置によれば、最終行掃線ラインYRと走査信号ラインY1とを接続するだけで、第4行の絵素をマスクしたり、別途最終行掃線ラインYR専用の電源回路を設けることなく、容易に高品質の画像を得ることができる。なお、最終行掃線ラインYRは、走査信号ラインY4以外であれば、他のいずれかの走査信号ラインY2、Y3に接続することもでき、同様の効果が得られる。

【0052】

【発明の効果】以上のように本発明のアクティブマトリクス方式の表示装置によれば、マトリクス状の一方側に隣接する行のない一方の端の行についても、補助容量素子の第2電極を他の走査信号ラインに接続するだけで、本来不要な仮想の走査信号を生成したり、この一方の端の行だけの専用の電源回路を設けることなく、絵素容量の駆動電圧の実効値を他の行の絵素容量と同じにすることができ、表示品質の低下を防止することができる。

【図面の簡単な説明】

【図1】本発明の実施例を示すものであって、液晶表示

13

装置の構成を示すブロック回路図である。

【図2】本発明の実施例を示すものであって、液晶表示装置の動作を示すタイムチャートである。

【図3】従来例を示すものであって、液晶表示装置の構成を示すブロック回路図である。

【図4】絵素の詳細を示すなど価回路図である。

【図5】従来例を示すものであって、液晶表示装置の動作を示すタイムチャートである。

【図6】第2の従来例を示すものであって、液晶表示装置の構成を示すブロック回路図である。

【図7】絵素容量CPの分圧による電圧上昇を説明するための等価回路図である。

【図8】第3の従来例を示すものであって、仮想的な走査信号を生成する回路のブロック回路図である。

【図9】第4の従来例を示すものであって、走査信号ラ

14

イン駆動回路によって仮想的な走査信号を生成する場合を示すブロック回路図である。

【図10】第5の従来例を示すものであって、対向電極電圧の振幅を変化させて信号を生成する回路のブロック回路図である。

【符号の説明】

Y 走査信号ライン

X 表示信号ライン

SW 薄膜トランジスタ

10 CP 絵素容量

EPA 絵素電極

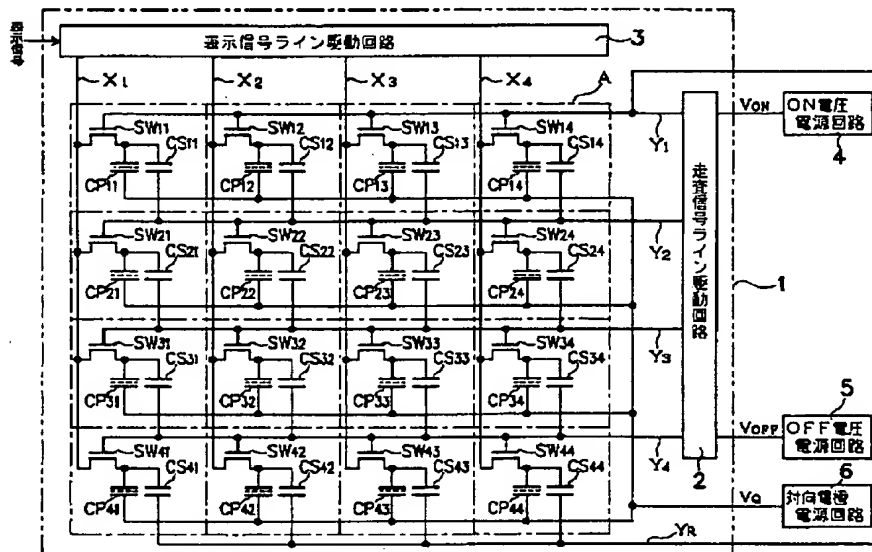
EPB 対向電極

CS 補助容量

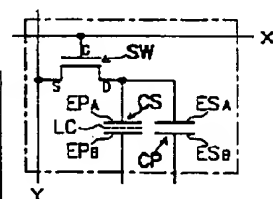
ESA 第1電極

ESB 第2電極

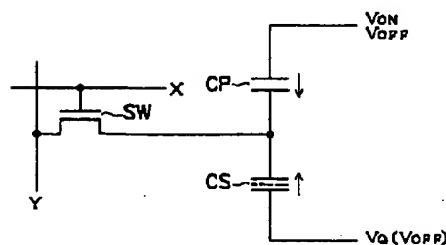
【図1】



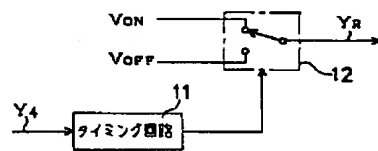
【図4】



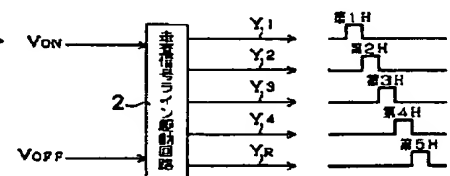
【図7】



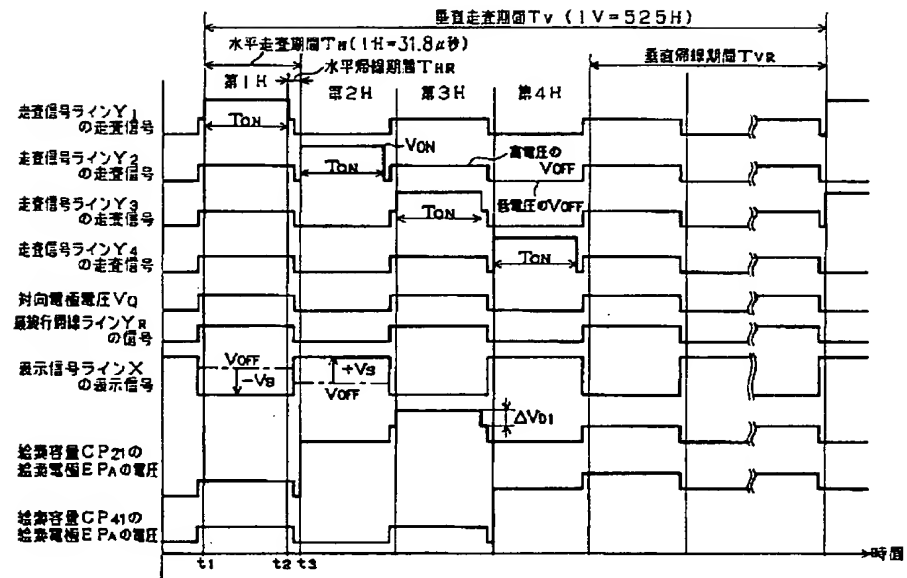
【図8】



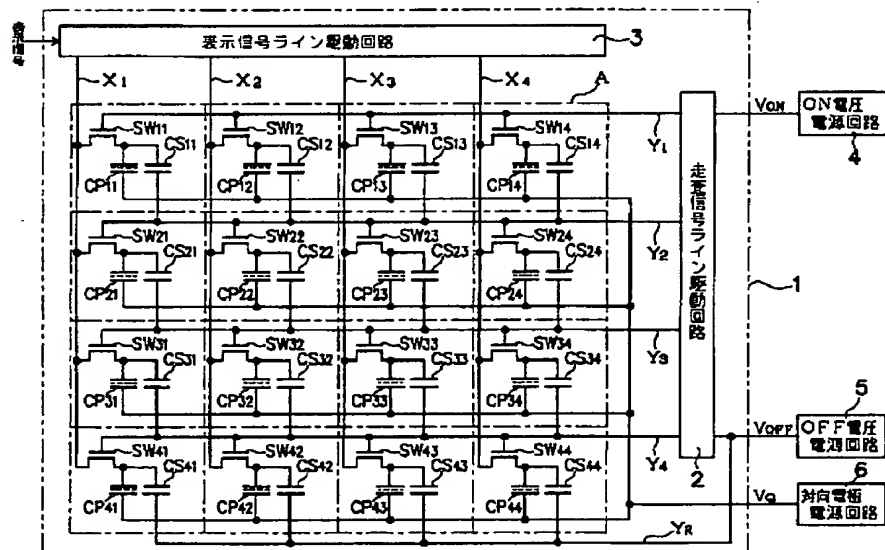
【図9】



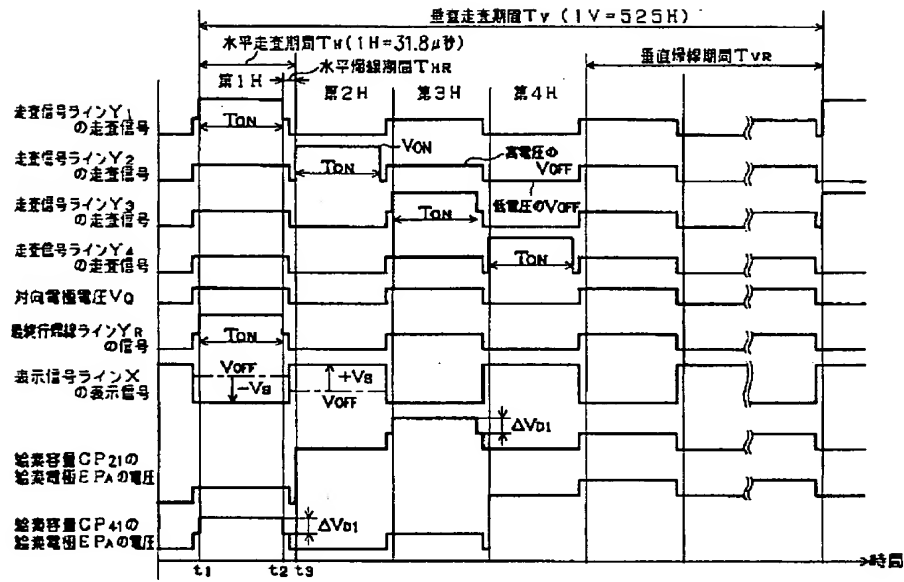
【図5】



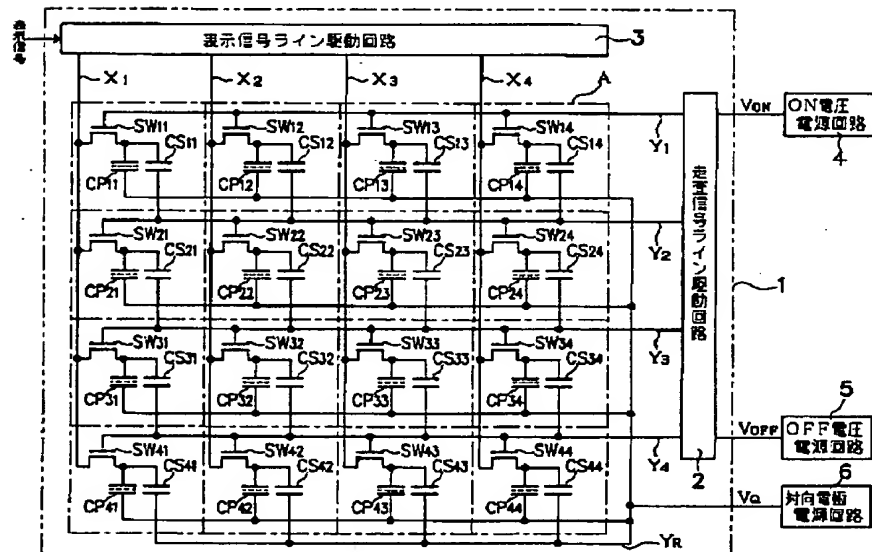
【図6】



【図2】



【図3】



【図10】

